

esp@cenet Family list view

**Family list**

1 family member for:

**JP2000011638**

Derived from 1 application.

- 1 SEMICONDUCTOR STORAGE AND MEMORY ACCESS METHOD**  
Publication Info: **JP2000011638 A** - 2000-01-14

Data supplied from the esp@cenet database - Worldwide

esp@cenet document view

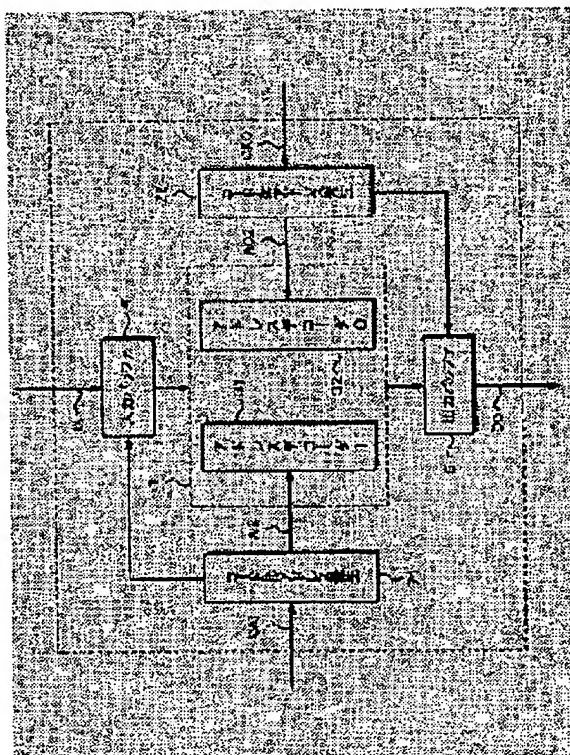
# SEMICONDUCTOR STORAGE AND MEMORY ACCESS METHOD

Patent number: JP2000011638  
 Publication date: 2000-01-14  
 Inventor: ICHIKAWA TSUTOMU  
 Applicant: SONY CORP  
 Classification:  
 - international: G11C8/04; G11C11/41  
 - european:  
 Application number: JP19980175795 19980623  
 Priority number(s): JP19980175795 19980623

Report a data error here

## Abstract of JP2000011638

**PROBLEM TO BE SOLVED:** To prevent a power consumption from increasing and operating conditions from changing due to an address change, or to reduce the increase and the change thereof. **SOLUTION:** A coding address generator 71 for writing generates an address AI2 that changes successively according to a supplied clock CKI for writing and supplies AI2 to a memory core 1. A proper memory cell is accessed according to the AI2 by an address decoder 31 for writing in the memory core 1. In this case, a coded one is generated as the address AI2 by using the Gray code or the like so that the number of bits changing between adjacent addresses becomes smaller than an address due to a simple ascending order or the like. An address is generated by the similar coding based on a reading clock CKO also on reading. The Gray code is generated based on the count value of a clock due to the configuration of the combination or the like of an exclusive logic OR circuit.



Data supplied from the esp@cenet database - Worldwide

## 引用文献 3

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-11638

(P2000-11638A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.

G11C 8/04  
11/41

識別記号

FI

C11C 8/04  
11/34

キーワード(参考)

5B015

301D

審査請求 未請求 請求項の数 3 OL (全 5 頁)

(21) 出願番号

特願平10-175795

(22) 出願日

平成10年6月23日 (1998.6.23)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 市川 勉

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 10008762

弁理士 杉浦 正知

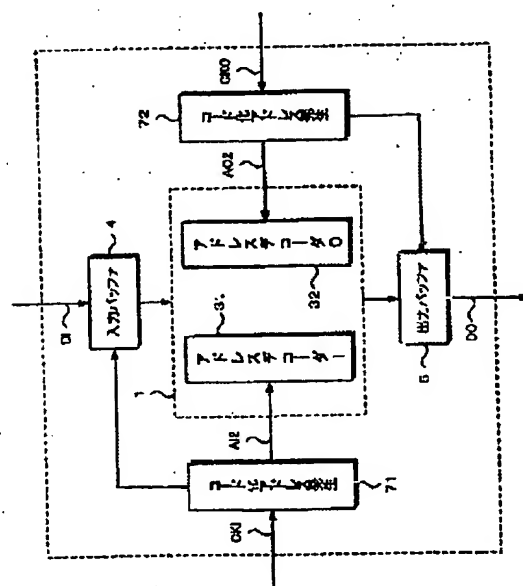
Fターム(参考) 5B015 AAD1 AA02 BA01

(54) 【発明の名称】 半導体記憶装置およびメモリアクセス方法

(57) 【要約】

【課題】 アドレスの変化に起因して消費電力の増大および動作条件の変化が生じることを防止若しくは低減する。

【解決手段】 書き込み用コード化アドレス発生器71は、供給される書き込み用クロックCKIに従って順次変化するアドレスAI2を発生し、このAI2をメモリコア1に供給する。メモリコア1内の書き込み用アドレスデコーダ31により、AI2に従って適切なメモリスルがアクセスされる。この際に、アドレスAI2として、隣接するアドレス間で変化するビット数が単純な昇順等によるアドレスよりも少なくなるように、例えばグレイコードを使用してコード化されたものを発生させるようにする。読出し時においても、読出し用クロックCKOに基づいて同様なコード化を行うことによってアドレスを発生する。グレイコードは、排他的論理和回路の組合わせ等の構成により、クロックのカウント値に基づいて生成される。



(2) 開2000-11638 (P2000-11638A)

## 【特許請求の範囲】

【請求項1】 書込みまたは読出しにおいてアクセスするデータの順序が一定とされることが多い半導体記憶装置において、

隣接するコードの間で変化するビット数がより少なくなるように、アドレスのコード化を行うことによって、書込みまたは読出しアドレスを順次発生するコード化アドレス発生手段を有することを特徴とする半導体記憶装置。

【請求項2】 請求項1において、上記コード化アドレス発生手段は、グレイコードを生成するコード化を行うことを特徴とする半導体記憶装置。

【請求項3】 書込みまたは読出しにおいてアクセスするデータの順序が一定とされることが多い半導体記憶装置におけるメモリアccess方法において、順次変化する書込みまたは読出しアドレスを発生するステップと、

上記アドレスを受取って、隣接するコードの間で変化するビット数がより少なくなるように、上記アドレスのコード化を行うことによって、書込みまたは読出しアドレスを順次発生するステップを有することを特徴とするメモリアccess方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像用メモリ、特にラインメモリ、フィールドメモリ、フレームメモリ等におけるメモリアccessや、画像処理システム等に使用される半導体記憶装置およびメモリアccess方法に関する。

【0002】

【従来の技術】ラインメモリあるいはフィールドメモリ、フレームメモリ等の画像用メモリにおいては、ラスタ走査の順に画像データが書込まれ、また、その順に画像データが読出される。ここでメモリ内部にはバイナリカウンタ（以下、カウンタと表記する）を有し、かかるカウンタのカウント値がメモリアccessにおけるアドレスとして使用される。

【0003】そして、かかるカウンタのカウント値は、データの書込みあるいは読出しと共に書込み用あるいは読出し用のクロックを数える等の方法によって1ずつ更新される。すなわち、メモリアccessにおいては、そのアドレスの順に従って、入力されるデータが順次書込まれ、また、書込まれていたデータが順次読出される。

【0004】

【発明が解決しようとする課題】ところで、半導体メモリにおいては、アドレスの変化の際に論理の変わるアドレスのビット数が多い程、消費電力の増大や各種動作条件の変化等の不具合が生じる可能性が高い。すなわち、略同時により多くのアドレスバッファやアドレスデコー

ダ等の回路で論理が変わることに起因して消費電力が増大すると共に、電源や接地線において電位が変化することによって、ノイズ・マージンや動作タイミング等の動作条件が変化する。

【0005】あるいは、ビット毎に論理の変わるタイミングが少しずつ異なるアドレススキューがあることにより、本来論理変化の無い回路において過渡的な論理変化が生じる。このような過渡的な論理変化に起因して消費電力が増大し、また、動作条件の変化が生じる。

【0006】上述したような動作条件の変化や、アドレススキュー等に対する補償を行うためには、マージンの大きな回路設計が必要となる。そこで、例えばタイミングマージンの大きな設計とすると、動作の高速化、クロックの高周波化等を図るに際して制約が生じる。このような問題は、画像用メモリにおけるメモリアccessについても同様に生じる。

【0007】このため、大容量で動作周波数の高い画像用メモリ、大容量で動作周波数の高い半導体メモリを使用する画像処理システム、またはこれらと同様の機能を有するシステムにおいて、上述したようなアドレス変化に伴う問題の解消が求められていた。

【0008】従って、この発明の目的は、書込みまたは読出しが行われるべきアドレスが変化していくことに起因して消費電力の増大および動作条件の変化が生じることを防止若しくは低減することが可能な半導体記憶装置およびメモリアccess方法を提供することにある。

【0009】

【課題を解決するための手段】請求項1の発明は、書込みまたは読出しにおいてアクセスするデータの順序が一定とされることが多い半導体記憶装置において、隣接するコードの間で変化するビット数がより少なくなるように、アドレスのコード化を行うことによって、書込みまたは読出しアドレスを順次発生するコード化アドレス発生手段を有することを特徴とする半導体記憶装置である。

【0010】請求項3の発明は、書込みまたは読出しにおいてアクセスするデータの順序が一定とされることが多い半導体記憶装置におけるメモリアccess方法において、順次変化する書込みまたは読出しアドレスを発生するステップと、アドレスを受取って、隣接するコードの間で変化するビット数がより少なくなるように、アドレスのコード化を行うことによって、書込みまたは読出しアドレスを順次発生するステップを有することを特徴とするメモリアccess方法である。

【0011】以上のような発明によれば、単純な昇順（あるいは降順）に沿ってアドレスが変化していく場合等と比較して、アドレスの変化に伴って論理の変わるビット数を少なくすることができる。

【0012】

【発明の実施の形態】この発明の実施の一形態について

(3) 開2000-11638 (P2000-11638A)

説明するに先立ち、理解を容易とするために、一般的に使用されている画像用半導体メモリについて、図1を参照して説明する。ラスタ走査の順に書込まれる画像データDIに同期しているクロックCKIが書き込み用カウンタ21に供給される。書き込み用カウンタ21は書き込み用クロックCKIの数を計数し、カウント値に基づいて昇順のアドレスA11を発生する。そして、このアドレスA11をメモリコア1に供給する。メモリコア1内の書き込み用アドレスデコーダ31により、アドレスA11に従って適切なメモリセルがアクセスされる。このようにして順次アクセスされるメモリセルに、画像データDIが順次書込まれる。

【0013】一方、読出し時には、ジッタの少ない読出し用クロックCKOが読出し用カウンタ22に供給される。読出し用カウンタ22は読出し用クロックCKOの数を計数し、カウント値に基づいて昇順のアドレスAO1を発生する。そして、このアドレスAO1をメモリコア1に供給する。メモリコア1内の読出し用アドレスデコーダ32により、アドレスAO1に従って適切なメモリセルがアクセスされる。このようにして順次アクセスされるメモリセルから、書込まれていた画像データが出力バッファ5を介して出力データDOとして読出される。

【0014】ここで、昇順に発生するアドレスA11、AO1においては、隣接するアドレス間で論理が変化するビット数は最小で1ビット、最大でアドレスを構成する全ビット数までの幅を有する。このため、論理が変化するビット数が多くなる程、消費電力の増大や各種動作条件の変化等の不具合が生じる可能性が高くなる。

【0015】そこで、この発明は、データの書き込みおよび読出しの際に変化するアドレスを単純な昇順（あるいは降順）とは異なるコード（後述するように、例えばグレイコード）とすることにより、アドレスの変化に伴って論理が変化するビット数を少なくし、特にアドレスを構成する全ビットに渡って論理が変化する事が無いようにしたものである。

【0016】以下、画像用半導体メモリにこの発明を適用したこの発明の一実施形態について、図2を参照して説明する。図1を参照して上述した一般的な画像用半導体メモリの一例と同様な構成要素等には、同一の符号を付した。書込まれる画像データDIに同期している書き込み用クロックCKIが書き込み用コード化アドレス発生器71に供給される。書き込み用コード化アドレス発生器71は、順次変化するアドレスにおいて論理が変化するビット数が常に全ビットよりも少なくなるようにコード化されたアドレスA12を発生し、このA12をメモリコア1に供給する。メモリコア1内の書き込み用アドレスデコーダ31により、アドレスA12に従って適切なメモリセルがアクセスされる。

【0017】一方、読出し時には、ジッタの少ない読

出し用クロックCKOが読出し用コード化アドレス発生器72に供給される。読出し用コード化アドレス発生器72は、順次変化するアドレスにおいて論理が変化するビット数が常に全ビットよりも少なくなるようにコード化されたアドレスAO2を発生し、このAO2をメモリコア1に供給する。メモリコア1内の読出し用アドレスデコーダ32により、AO2に従って適切なメモリセルがアクセスされる。このようにして順次アクセスされるメモリセルから、書込まれていた画像データが出力バッファ5を介して出力データDOとして読出される。

【0018】書き込み用コード化アドレス発生器71および読出し用コード化アドレス発生器72として使用することができるコード化アドレス発生器について図3を参照して説明する。かかるコード化アドレス発生器は、カウンタ2と、カウンタ2が生成するカウント値に基づいてコード化されたアドレスを生成するコード化器8とを有する。

【0019】このコード化器8では、1ずつ変化するカウント値に対して常に1ビットのみの論理の変化が生じるグレイコードを生成するようになされることが好適である。但し、必ずしもグレイコードに限定されるものではなく、カウント値を用いて単純な昇順（あるいは降順）によってアドレスを指定する場合に比較して、論理が変化するビット数を小さくすることができるのであれば、他のコードを使用するようにしても良い。

【0020】図4を参照して、グレイコードについてより詳細に説明する。図4には、4ビットにおけるカウント値とグレイコードについて、クロック数の変化に従うアドレスの変化を示した。ここで、下線を付したビットは、あるクロック数に対応するカウント値またはグレイコードにおいて、前のクロック数に対するカウント値またはグレイコードに比較して論理が変化したビットである。例えばクロック数0→1の場合に、カウント値は'0000'→'0001'と変化するので右端の1桁目のみが'0'→'1'に変化している。そこで、この右端の'1'に下線を付した。

【0021】また、クロック数1→2の場合に、カウント値は'0001'→'0010'なので右から1桁目および2桁目が'01'→'10'に変化している。そこで、この右から2桁の'10'に下線を付した。同様に、クロック数1→2の場合に、グレイコードは'0001'→'0011'と変化するの右から2桁目のみが'0'→'1'に変化している。そこで、この右端の'1'に下線を付した。

【0022】図4から、クロック数1の変化に対して、カウント値は最大で全ビット（この一例では4桁）変化するのに対し、グレイコードは常に1ビットのみが変換することがわかる。すなわち、グレイコードを用いる場合には、隣接するコード間で論理が変化するビット数が常に1ビットとなる。

【0023】図4に示したようなグレイコードをカウン

(4) 開2000-11638 (P2000-11638A)

ト値に基づいて生成するための構成の一例を図5に示す。かかる一例は、図3に示したコード化アドレス発生器のより具体的な例である。カウンタ2は、4桁分のレジスタを有し、供給されるクロックに対応してカウント値を生成する。コード化器8は、3個の排他的論理和回路81、82、83を有する。そして、カウンタ2のLSB (Least Significant Bit) およびLSB側から2桁目のレジスタ値が排他的論理和回路81に供給され、LSB側から2桁目および3桁目のレジスタ値が排他的論理和回路82に供給され、さらに、LSB側から3桁目、および4桁目 (すなわちMSB (Most Significant Bit)) のレジスタ値が排他的論理和回路83に供給される。

【0024】また、カウンタ2のMSBは、そのままコード化器8の出力値とされる。かかる出力値をMSBとし、それに後続する各桁の値をそれぞれ、排他的論理和回路83、82、81の出力値とする (従って排他的論理和回路81の出力値がLSBとされる) ことによって、4桁のグレイコードを生成することができる。

【0025】なお、上述したこの発明の一実施形態は、図2に示したように、読出し/書込みのためのポートをそれぞれ1個ずつ有する画像用メモリを前提としてこの発明を適用したものである。これに対して、異なる構成、例えば読出し用のポートを2個有する画像用メモリ等を前提として、この発明を適用することも可能である。

【0026】また、この発明は、画像用メモリ自体に対して適用できるのみならず、画像処理システムにおいて、画像用メモリ中のアクセスすべきアドレスを指定する機能に係る構成部分について適用することができる。

【0027】さらに、画像データ以外のデータについても、書込みおよび/または読出しにおいてアクセスするデータの順序が一定である場合に適用することができる。

【0028】

【発明の効果】 上述したように、この発明は、ラスタ

走査の順に画像データが書込まれ、また、その順に画像データが読出されることが多い例えばラインメモリ等の画像用メモリ等として使用される半導体記憶装置におけるメモリアクセスの際に、グレイコード等を用いて隣接するコードの間で変化するビット数がより少なくなるようなコード化を行うことにより、書込みまたは読出しが行われるべきアドレスを順次発生するようにしたものである。

【0029】このため、単純な昇順 (あるいは降順) でアドレスを表現する場合等と比較して、アドレスの変化に伴って論理の変わるビット数を少なくすることができる。従って、多くのビット数について論理が変わることに起因する、消費電力の増大、各種動作条件の変化等の不具合等の問題を防止若しくは低減することができる。

【0030】これにより、動作条件の変化、アドレスキュー等に対する補償を行うためにマージンの大きな回路設計を行う必要が無くなるので、動作の高速度化、クロックの高周波化等を図るに際しての制約を減らすことに寄与することができる。

【図面の簡単な説明】

【図1】一般的に使用されている画像用半導体メモリの一例について説明するためのブロック図である。

【図2】この発明の一実施形態について説明するためのブロック図である。

【図3】この発明の一実施形態の一部の構成について詳細に説明するためのブロック図である。

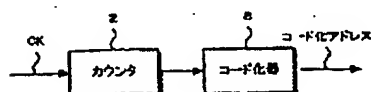
【図4】グレイコードについて説明するための略線図である。

【図5】図3に示したこの発明の一実施形態の一部の構成についてのより具体的な構成例を示すブロック図である。

【符号の説明】

31・・・書込み用アドレスデコーダ、32・・・読出し用アドレスデコーダ、71・・・書込み用コード化アドレス発生器、72・・・読出し用コード化アドレス発生器

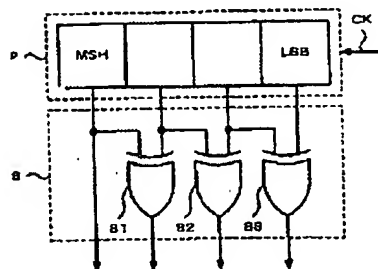
【図3】



【図4】

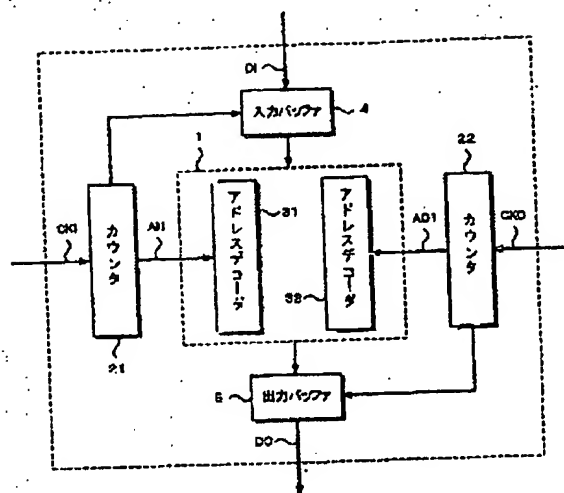
CK	カウンタ値	グレイコード
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

【図5】



(5) 開2000-11638 (P2000-11638A)

【図1】



【図2】

